УТВЕРЖДАЮ

Начальник тех. отдела

\_\_\_\_\_\_\_\_\_\_\_\_\_ Хххххх Х.Х.

“\_\_\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_20\_\_\_

Восьмиразрядный сумматор

Пояснительная записка

Лист утверждения

Э.001.02

Руководитель разработки

ДОЛЖНОСТЬ

\_\_\_\_\_\_\_\_\_\_\_Фамилия И.О.

“\_\_\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_20\_\_\_

СОГЛАСОВАНО Ответственный исполнитель

Начальник ХХХХ Должность

\_\_\_\_\_\_\_\_ Хххххххххх Х.Х. \_\_\_\_\_\_\_\_\_\_\_Фамилия И.О.

“\_\_\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_20\_\_\_ “\_\_\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_20\_\_\_

Исполнитель

Должность

\_\_\_\_\_\_\_\_\_\_\_\_\_Фамилия И.О.

“\_\_\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_20\_\_\_

202\_

Утверждено

Э.001.02

Восьмиразрядный сумматор

Пояснительная записка

Э.001.02

202\_

Аннотация

В данном программном документе приведена пояснительная записка программного изделия «Восьмиразрядный сумматор», предназначенного для синтеза модуля аппаратного восьмиразрядного сумматора для целых неотрицательных чисел в прямом коде в составе макета на базе ПЛИС.

В разделе «Введение» указаны наименование программы и условное обозначение темы разработки, а также документы, на основании которых ведется разработка.

В разделе «Назначение и область применения» указаны назначение программы и краткая характеристика области применения программы.

В разделе «Технические характеристики» содержатся компонентный состав программного изделия, описание функционирования программного изделия, описание метода организации входных и выходных данных, описание состава технических и программных средств, описание тестового окружения для проведения испытаний.

В разделе «Источники, использованные при разработке» указан перечень научно-технических публикаций, нормативно-технических документов и других научно-технических материалов, на которые есть ссылки в тексте пояснительной записки.

Оформление программного документа «Пояснительная записка» произведено по требованиям ЕСПД [2].

Содержание

[1 Введение 5](#_Toc1)

[1.1. Наименование программного изделия 5](#_Toc2)

[1.2. Обозначение испытуемой программы 5](#_Toc3)

[2 Назначение и область применения 5](#_Toc4)

[3 Технические характеристики 5](#_Toc5)

[3.1. Компонентный состав программного изделия. 5](#_Toc6)

[3.2. Описание функционирования программного изделия. 6](#_Toc7)

[3.3. Описание метода организации входных и выходных данных. 6](#_Toc8)

[3.4. Описание состава технических и программных средств. 6](#_Toc9)

[3.5. Описание тестового окружения для проведения испытаний. 7](#_Toc10)

[4 Источники, использованные при разработке 7](#_Toc11)

# Введение

## Наименование программного изделия

Программа «Восьмиразрядный сумматор».

## Обозначение испытуемой программы

Наименование темы разработки согласуется с темой практической работы №7 по дисциплине «Схемотехника устройств компьютерных систем» — «Описание программы и методики проведения испытаний для учебного проекта».

# Назначение и область применения

Программа предназначена для синтеза модуля аппаратного восьмиразрядного сумматора в составе макета на базе ПЛИС.

# Технические характеристики

## 3.1. Компонентный состав программного изделия.

Программное изделие включает в себя набор файлов в формате «.v» с исходным кодом модулей на языке описания аппаратуры Verilog, файл проектных ограничений формата «.xdc», файл исполняемого скрипта для САПР AMD Vivado в формате «.tcl».

Результатом синтеза на основе программного изделия является конфигурационный двоичный образ в формате «.bit» для загрузки на платформу ПЛИС.

Далее представлен перечень компонентов программного изделия с описанием:

• файл «sum.v» содержит описание модуля восьмиразрядного сумматора;

• файл «ccs.xdc» содержащий набор проектных ограничений для подключения портов модуля верхнего уровня к выходам контактной площадки ПЛИС;

• файл «create.tcl», содержащий исполняемый скрипт на языке TCL, используется для генерации конфигурационного двоичного образа в формате «.bit».

## 3.2. Описание функционирования программного изделия.

При запуске исполняемого скрипта на языке Tcl производится создание проекта для САПР AMD Vivado 2024.1 на основе модуля RTL-описания восьмиразрядного сумматора и набора проектных ограничений. Далее производится синтез и имплементация проекта. После чего генерируется двоичный образ для загрузки на платформу ПЛИС.

После загрузки двоичного образа на ПЛИС, соответствующая схема ожидает приёма данных при помощи движковых переключателей отладочной платы, вывод осуществляется на светодиоды.

## 3.3. Описание метода организации входных и выходных данных.

Шестнадцать движковых переключателей разделены на две группы: младшие восемь переключателей ответственны за первое слагаемое, оставшиеся — за второе слагаемое. Старшинство бита слагаемого определяется очередностью номеров движковых переключателей.

В результате сумма выводится на светодиоды, расположенные над движковыми переключателями. Правый крайний светодиод (под номером 0) отвечает за младший бит результата, светодиод под номером 8 — за старший бит результата. Результат обновляется после изменения положения движковых переключателей.

## 3.4. Описание состава технических и программных средств.

Состав используемых технических средств:

• IBM PC совместимый с процессором Intel Core i5 и выше;

• ОЗУ 4 Гб и выше;

• 1024 МБ видеопамяти и выше;

• наличие свободного места на жестком диске более 50 Гбайт.

• Отладочная плата Digilent Nexys A7 на базе ПЛИС xc7a100tcsg324-1 [5];

Состав используемых программных средств:

• САПР AMD Vivado Design Suite;

• ОС Windows 11.

## 3.5. Описание тестового окружения для проведения испытаний.

Отладочная плата подключается к ПК с использованием порта USB до начала проведения испытаний. Входные данные для тестирования представлены в программе и методике проведения испытаний.

# Источники, использованные при разработке

1) ГОСТ 19.404-79 Единая система программной документации. Пояснительная записка. Требования к содержанию и оформлению.

2) Тарасов И.Е. Вопросы проектирования специализированных СБИС с конвейерной архитектурой // ВЫСОКОПРОИЗВОДИТЕЛЬНЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ В НАУЧНЫХ ИССЛЕДОВАНИЯХ, АВТОМАТИЗАЦИИ УПРАВЛЕНИЯ И ПРОИЗВОДСТВА - 2022 - Том 6, № 2 -·с. 11-17.

3) Тарасов И.Е., Люлява Д.В., Дуксин Н.А. Проектирование конвейерного вычислительного узла в составе специализированной СБИС // ВЫСОКОПРОИЗВОДИТЕЛЬНЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ В НАУЧНЫХ ИССЛЕДОВАНИЯХ, АВТОМАТИЗАЦИИ УПРАВЛЕНИЯ И ПРОИЗВОДСТВА - 2023 - Том 7, № 1 -·с. 25-30.

4) Дуксин Н.А., Люлява Д.В., Долидзе И.И. Вопросы проектирования специализированных вычислителей конвейерного типа. // Сборник трудов XII Международной научной конференции «ИТ-Стандарт 2023» - М.: Издательство «Проспект», 2023. – 408 с. – с. 181-193.

5) Тарасов И.Е., Люлява Д.В., Дуксин Н.А. Применение программно-аппаратного стенда на базе ПЛИС для прототипирования специализированных вычислительных модулей сверхбольших интегральных схем. // ВЫСОКОПРОИЗВОДИТЕЛЬНЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ В НАУЧНЫХ ИССЛЕДОВАНИЯХ, АВТОМАТИЗАЦИИ УПРАВЛЕНИЯ И ПРОИЗВОДСТВА - 2022 - Том 6, № 2 -·с. 18-23.